



sicht auf die Erschließung neuer Marktvolumina liegen. Kreuzer und Krimbacher sehen in der DOSA-Initiative auch eine Chance für die weitere Erschließung klassischer In-house-Märkte. »Der Reiz einer externen Lösung«, betont Siegfried Kreuzer, »wird durch DOSA und die

damit verbundenen Vorteile in Hinblick auf eine größere Anbieteranzahl und wettbewerbsfähige Preise noch größer.«

Ähnlich wie bei der 2003 gestarteten POLA-Initiative von Texas Instruments, Artesyn Technologies und Astec Power wird der Erfolg der

DOSA-Initiative vor allem davon abhängen, ob weitere namhafte DC-DC-Spezialisten zu den beiden DOSA-Gründern stoßen. Anfragen erster Interessenten, so Krimbacher, habe es bereits gegeben. Dass das DOSA-Konzept durchaus Raum zur Differenzierung lässt, zeigt das Beispiel der beiden Gründer: Während Tyco Electronics Power Systems Bestandteil eines global agierenden Konzerns ist, hat sich SynQor seit der Gründung 1997 vom vielversprechenden Start-up zu einem weltweit präsenten Anbieter hoch-effizienter DC-DC-Wandler entwickelt.

Im Gegensatz zu Tycos weltweiten Fertigungsmöglichkeiten produziert SynQor seine Produkte in Boxborough, Massachusetts. »Während Tyco aufgrund seiner Struktur besser in der Lage ist, weltweit Kunden mit hohen und stabilen Forecasts zu bedienen«, streicht Kreuzer die Unterschiede heraus, »spielen wir unsere Vor-Ort-Fertigung als Flexibilitätstrumpf aus.« (eg) ■

Wettbewerbsvorteile durch HDP?

High-Density-Packaging

Als kostenintensiv verschrien, findet das High-Density-Packaging (HDP) in Europa nur wenig Beachtung. Dabei könnten gerade kleinere Hersteller von der Technologie profitieren und sich Wettbewerbsvorteile sichern.

»HDP/MCM ist gerade für kleinere bis mittlere Stückzahlen eine Alternative zu teuren und risikobehafteten integrierten Elektroniklösungen«, davon ist Dr. Michael Scheffler, Director Production von Art of Technology überzeugt: »Wer jetzt diese Technologien offen und unvoreingenommen analysiert, wird sich einen großen Vorteil gegenüber der Konkurrenz sichern können.« Mit High-Density-Packaging ließe sich Elektronik nicht nur massiv verkleinern, sondern auch die Leistung steigern und die Zuverlässigkeit erhöhen.

Bisher wurden Chips einzeln in ein Gehäuse (Single Chip Package / SCP) gepackt und auf einer Standard-Leiterplatte als durchkontaktiertes oder SMD-Bauteil montiert. Das Gehäuse dient unter anderem dazu, eine Anpassung des stetig

kleiner werdenden Rasteranschlussmaßes auf der IC-Seite (bis zu 80 µm und kleiner) an die immer noch recht groben Strukturen auf der Leiterplattenseite (meist jenseits 500 µm Rasterabstand Leiterbahn zu Leiterbahn mit Durchsteiger) zu ermöglichen.

Für HDP werden ungehäuste Silizium-ICs, so genannte Bare-Dies, verwendet, die entweder direkt auf die Leiterplatte aufgebracht (Chip-on-Board / COB) oder mit mehreren anderen ICs in ein Gehäuse gepackt werden (Multi-Chip-Package / MCP), das dann auf eine Leiterplatte montiert wird. Um ein Bare-Die direkt auf eine Standardleiterplatte zu setzen, sind spezielle Montagetechnologien und hochkomplexe Leiterplatten erforderlich.

■ Drahtbonden: Die Kontaktierung der ICs erfolgt über Gold- oder Alu-

miniumdrähte, die einen Durchmesser von 20 bis 30 µm haben.

■ Tape-Automated-Bonding (TAB): Eine vorgefertigte einlagige Folie ermöglicht die Kontaktierung des ICs in einem Arbeitsschritt.

■ Flip-Chip: Lötkugeln werden direkt auf die am Rand befindlichen Anschlüsse des Chips aufgebracht. Der Chip wird anschließend kopfüber auf das Substrat gelötet. Hier wird das Chiprastermaß 1:1 auf das Substrat übertragen, was hohe Anforderungen an das Substrat stellt.

■ Eine Sonderform des HDP sind die Chip-Size-Packages (CSPs), die eine miniaturisierte Form des bekannten BGAs darstellen; hier wird die gesamte Unterseite zur Kontaktierung genutzt. Weil das Chiprastermaß größer ist, reduzieren sich die Anforderungen an das Substrat.

Folgende Substrate stehen für Multi-Chip-Module zur Verfügung:

■ Laminat-Substrate: Basierend auf herkömmlichen Leiterplatten-substraten, werden Aufbauanlagen (Sequential-Build-up / SBU) aufgebracht, die Microvias ermöglichen,

POHL SOLUTIONS für Ihren Erfolg

1,2
fer

Drei kompakte Module für schnellen...
**Einfach ins Ger...
anschlie...
fertig!**

Barcodes



- extrem kompakt
- komplett mit D...
zur Barcodeerk...

Kioskpr



- Plug & Play-L...
- Höchstleistung
- Niedrigpreis
- druckschnell,

LCD-Mo



- Grafik o...
- Alpha...
- Riesens...
- vorhande...
- mit inte...
- Control...

POHL Electronic GmbH
Neuendorfstrasse 18 b
16761 Hennigsdorf b. Berlin

info@pohl-electronic.de
www.pohl-electronic.de

Fon 033 02 - 559 290
Fax 033 02 - 559 299





Dr. Etienne Hirt,
Art of Technology

» HDP ist als kostspielig verschrien, weil viele Anwendungen rein militärisch oder für die Luft- und Raumfahrt waren. «



Dr. Michael Scheffler,
Art of Technology

» Wer jetzt diese Technologien offen und unvoreingenommen analysiert, wird sich einen großen Vorteil gegenüber der Konkurrenz sichern können. «

also Durchkontaktierungen, die lasergebohrt oder geätzt jeweils zwei übereinander liegende Leiterbahnen verbinden.

■ **Keramik-Substrat:** Auf der Basis von Keramik lassen sich Substrate realisieren, die vor allem in Umgebungen mit hohen Temperaturen oder bei Systemen mit großen Wärmeverlusten interessant sind.

■ **Dünnschicht-Substrate:** Mit Technologien, die aus der Chip- und LCD-Fertigung bekannt sind, lassen sich sehr dichte Substrate realisieren.

Die HDP-Technik bietet neben der Miniaturisierung weitere Vorteile:

- Reduktion der Kosten auf Systemebene durch kleinere und einfach aufgebaute Gehäuse; kleinere und weniger komplexe Hauptplatinen.
- Gute HF-Eigenschaften durch enge Impedanzkontrolle
- Reduktion der Leistungsaufnahme und Abstrahlung durch

kürzere Distanzen zwischen den einzelnen Chips und somit ein einfacherer EMV-Schutz.

- Erhöhte Zuverlässigkeit durch weniger Lötverbindungen
- Erhöhte Modularität und damit Wiederverwendbarkeit der Baugruppen.

Trotz aller Vorteile: Die HDP-Technologien haben sich in den letzten Jahren in Europa weniger stark etabliert, als in Vorhersagen prognostiziert wurde. Warum? Dr. Etienne Hirt, Director R&D von Art of Technology: »HDP ist als kostspielig verschrien, weil viele Anwendungen rein militärisch oder für die Luft- und Raumfahrt waren.« Der Preis und die benötigten Stückzahlen für ein in HDP-Technologien gefertigtes Modul hängen jedoch sehr stark von den verwendeten Technologien ab. »Ein Dünnschicht-Modul hat in der Tat sehr hohe Initialkosten«, sagt Dr. Hirt. Dünnschicht werde aber nur eingesetzt, wenn es technologisch zwingend erforderlich sei.

Anders bei der COB-Lösung: Die eingesetzten Dies kosten laut Dr. Hirt genauso viel wie die verpackte Variante. »Auch bei Kleinserien von weniger als 1000 Stück pro Jahr kann der Einsatz von HDP-Technologien durchaus rentabel sein.«

Im Bereich des Wire-Bonding und Flip-Chips gibt es bereits eine Vielzahl von Auftragsfertigern in Deutschland und Mitteleuropa. Bei Herstellern von laminatbasierten und keramischen Substraten steht ebenfalls eine reichhaltige Auswahl zur Verfügung, etwas reduzierter ist die Auswahl im Dünnschichtbereich.

»Die Auftragsfertiger decken meist nur eine recht kleine Zahl der möglichen HDP/MCM-Technologien ab und neigen dazu, ihre eigenen Technologien zu favorisieren«, gibt Dr. Scheffler zu bedenken. Die Lösungen seien deshalb in vielen Fällen nicht op-

timal, zumal auch ein breites, alle Möglichkeiten abdeckendes Packaging-Design-Know-how schwer zu finden sei. Um die beste Lösung zu erhalten, rät Dr. Scheffler zu einem unabhängigen externen Partner, der beim Design und der Technologieauswahl wie auch beim Die-Supply behilflich sein sollte.

Und genau als solches sieht sich Art of Technology, das im Oktober 1999 als Spin-off des Institutes für Elektronik der ETH Zürich gegründet wurde. Die Gründer beschäftigten sich seit 1995 mit den HDP-Technologien im Rahmen des EU-Forschungsprojektes Europractice. Mittlerweile bietet Art of Technology mit zwölf festen Mitarbeitern Entwicklungsdienstleistungen wie Machbarkeitsanalysen, Design und Layout, Softwareentwicklung sowie Technologieberatung vor allem im Medizinssektor an. (su)

Agilents Pläne für das Halbleitergeschäft

Aus dem Schatten treten

Nach seinen ersten 100 Tagen als Chef von Agilents Halbleitergruppe (SPG) zieht Young Sohn ein erstes Resümee: Agilent-SPG soll kundennäher und bekannter werden.

»Ich war zwanzig Jahre lang im Halbleitergeschäft tätig und wusste nicht, was Agilent-SPG macht«, gesteht Young Sohn, President der Semiconductor Products Group (SPG) von Agilent Technologies. »Man hört viel mehr von LSI Logic oder National Semiconductor.«

Mit rund 1,7 Milliarden Dollar im Jahr 2003 weisen die Marktbeobachter von iSuppli für Agilent einen nur geringfügig kleineren Umsatz mit Halbleitern aus als für National Semiconductor. Damit findet sich Agilent auf Platz 27 des Halbleiter-Rankings für 2003 wieder – zwischen National und Broadcom. »Agilent ist nicht nur eine Test and Measurement Company«, betont Sohn, »das will ich bekannt machen.«

Bekannt machen will er auch, dass Agilent die viertgrößte »fabless« Halbleiterfirma ist, obwohl das Unternehmen über einige Produktionsstandorte verfügt. »Wir sind relativ analog, da braucht man nicht die neueste Fab«, erklärt Sohn die Diskrepanz. Statt sich mit den Problemen immer kleinerer Strukturbreiten herumzuschlagen, setze das Unternehmen auf die Erfahrungen mit den älteren Fabs. »Wichtig ist nur, dass wir unsere Rezepte im Griff haben – schließlich ist Value-Add unser Geschäft und nicht die Fab.«

Zur Zeit konzentriert der Unternehmensbereich seine Aktivitäten auf die zwei Sparten »Personal Systems« und »Storage, Computing und Networking«. Die gemeinsame Klammer um

	Microvia/SBU-Laminat-Substrat	Keramik-Substrat Hybrid	Cofired	Dünnschicht-Substrat
Trägermaterial	2- oder mehrlagiger PCB-Kern	Keramik Al ₂ O ₃	Ungebrannte Keramik	Si, Keramik, Glas, Laminat
Leitmaterial	Kupfer	Leitpaste	Metallpaste	Al, Cu
Dielektrikum	FR4, FR5	Glas	Metallpaste	Polymid, BCB
Leiterbreiten	> 50 µm	> 125 µm	> 125 µm	> 10 µm
Leiterabstände	> 50 µm	> 125 µm	> 125 µm	> 20 µm
Via-Landefläche	> 250 µm	> 200 µm	> 200 µm	> 30 µm
Zahl der Lagen	2 x 3 (symmetrisch) und PCB-Kern	1 bis 5	bis 30	1 bis 4

Übersicht über die verschiedenen HDP-Substrate und die damit verbundenen Eigenschaften